

(54) MANUFACTURE OF COMPOUND SEMICONDUCTOR DEVICE

(11) 60-66812 (A) (43) 17.4.1985 (19) JP
 (21) Appl. No. 58-177479 (22) 24.9.1983
 (71) SHARP K.K. (72) MASABUMI SHIMIZU(1)
 (51) Int. Cl. H01L21/205, H01L29/80

PURPOSE: To easily form a compound semiconductor crystal layer on an Si substrate by forming a buffer layer which absorbs crystal distortion between the Si substrate and compound semiconductor with two-step growth method.

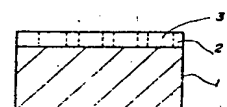
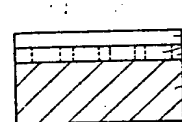
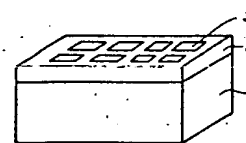
CONSTITUTION: An amorphous Ge layer 7 is formed as the first step on an Si substrate 6. Next, a temperature of substrate 6 is raised and a Ge layer 8 is formed as the second step. It is combined with the layer 7 as a buffer layer 9. Thereafter, a GaAs 10 is formed on this layer 9 by epitaxial growth method. In this case, on the occasion of depositing the layer 9 of the same composition on the substrate 6, a film forming condition in the process of forming the layer 8 is set to the condition for allowing a semiconductor layer having good crystal property to grow, as compared with the process for forming the layer 7. In the layer 9 thus formed, stress is concentrated to the interface of layer 7 and substrate 6 and almost does not extend up to the surface of layer 8. Therefore, a high quality compound semiconductor can be obtained on the layer 9, realizing high quality, low cost and light weight.

**(54) COMPOUND SEMICONDUCTOR DEVICE**

(11) 60-66813 (A) (43) 17.4.1985 (19) JP
 (21) Appl. No. 58-177481 (22) 24.9.1983
 (71) SHARP K.K. (72) MAKOTO MIYANOCHI
 (51) Int. Cl. H01L21/205, H01L31/04

PURPOSE: To obtain high quality and stable active layer by allowing a compound semiconductor layer to grow by previously forming many dispersed stepped portions at the intermediate layer provided between a substrate and compound semiconductor in different materials.

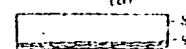
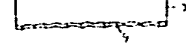
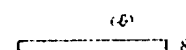
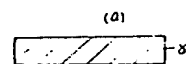
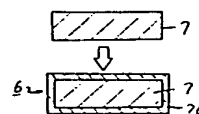
CONSTITUTION: A thin Ge intermediate layer 2 is epitaxially formed on an Si single crystal substrate 1 by the cluster ion beam method. Many stepped portions like holes or recessions extending through the intermediate layer 2 are formed with a side of $2,000 \text{ \AA} \sim 1 \mu\text{m}$ and depth of several hundreds of \AA by etching the resist mask. Next, a GaAs 4 is formed by the vapor growth. In this case, lattice defect or distortion resulting of mismatching of lattice and difference of thermal expansion coefficients are alleviated at the stepped portions, surface of layer 4 is oriented by the surface orientation of substrate and a single crystal layer 4 having fewer defects can be obtained. Using this substrate, a highly durable and reliable semiconductor device can be manufactured with a high yield.

**(54) MANUFACTURE OF SEMICONDUCTOR DEVICE**

(11) 60-66815 (A) (43) 17.4.1985 (19) JP
 (21) Appl. No. 58-175844 (22) 22.9.1983
 (71) KANSAI NIPPON DENKI K.K. (72) SHIYUUZOU ITOU
 (51) Int. Cl. H01L21/285

PURPOSE: To provide an electrically and mechanically stable ohmic connection on a semiconductor wafer without contamination by the sputtering method using a target having a metal layer including conductivity type determination impurity.

CONSTITUTION: Electroless Ni plating is executed to an Ni plate 7 and thereby an Ni-P alloy layer 7a where Ni and P are uniformly distributed at each portion can be formed. A rough surface 8a is formed by pre-processing to the specified surface of semiconductor wafer 8. When a target 6 is irradiated with Ar^+ ion, etc., a sputtered film 9 of Ni-P alloy having the same composition as the target can be deposited on the rough surface. In this case, film thickness should be about $10^3 \sim 10^4 \text{ \AA}$. Next, a metal layer 10 of Ag, etc. is vacuum-deposited in the thickness of about $10^4 \pm 2 \times 10^3 \text{ \AA}$ and heat-processed for about 60min at $400 \pm 50^\circ\text{C}$. Thereby, close contactness between alloy 9 and metal 10 can be improved and stabilized mechanically and electrically. According to this constitution, good ohmic connection can be obtained within a short period of time.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑬ 公開特許公報(A)

昭60-66813

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)4月17日

H 01 L 21/205
31/04

7739-5F
6666-5F

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 化合物半導体装置

⑯ 特 願 昭58-177481

⑰ 出 願 昭58(1983)9月24日

⑱ 発 明 者 宮 後 誠 大阪市阿倍野区長池町22番22号 シャープ株式会社内
⑲ 出 願 人 シャープ株式会社 大阪市阿倍野区長池町22番22号
⑳ 代 理 人 弁理士 福 士 愛 彦 外2名

明 細 書

1. 発明の名称
化合物半導体装置
2. 特許請求の範囲
1) 異種材料の支持基板上に化合物半導体層を堆積してなる半導体装置において、支持基板と化合物半導体層との間に中間層を介在させ、該中間層の化合物半導体層との接合面に段差を形成してなることを特徴とする化合物半導体装置。
2) 前記支持基板はシリコン単結晶からなり、化合物半導体層がⅢ族及びⅤ族の元素からなることを特徴とする特許請求の範囲第1項記載の化合物半導体装置。
3. 発明の詳細な説明
＜技術分野＞
本発明は、異種材料からなる支持基板上に化合物半導体層を能動層として形成した化合物半導体装置に関するものである。
＜従来技術＞
従来から化合物半導体は、レーザー、LED等

の発光素子をはじめ、太陽電池等の受光素子および接合形トランジスタ、電界効果トランジスタ等の電子デバイスに用いられており、上記電子デバイスは化合物半導体単結晶材料を基板として、その基板上に同じ化合物半導体層をエピタキシャル成長してデバイスが作製されていた。しかし化合物半導体結晶は、一般的に高価であり、また欠陥の少ない大面積基板結晶を得ることが困難な現状にある。このような問題に対して、化合物半導体の利点を生かしつつ経済性のよい半導体装置を得るために、化合物半導体より安価で、大量生産技術の確立したシリコン単結晶(以下Si単結晶)を基板として利用し、この基板上に化合物半導体層から成る能動素子層を形成することにより、安価で、高性能、高機能なデバイスを得る試みがなされている。しかし、上記の試みで行なわれているような異種基板のエピタキシャル成長の場合は、基板結晶と成長層の格子不整および熱膨張係数の差により、成長層中には格子欠陥や歪が発生して、上記電子デバイスを構成するに適した半導体層を

得ることができなかった。

例えば上記の試みの1つとして、Si 単結晶基板上にGaAs層をエピタキシャル成長させる場合、SiとGaAsとの格子定数はそれぞれ 5.431\AA と 5.654\AA であり、4%程度の格子不整があるため、格子不整を緩和する方向に滑りが生じ、Si 単結晶基板とGaAs層の境界には転位が形成され、非常に活性な再結合中心となる欠点がある。また熱膨張係数からも、SiとGaAsとはそれぞれ $2.83 \times 10^{-6}/^{\circ}\text{C}$ (300°K)、 $5.8 \times 10^{-6}/^{\circ}\text{C}$ (300°K)で、2倍程度の差があることから熱応力が加わることにより歪が発生し、Si 単結晶基板上には欠陥の多いGaAs層しか得られず、高性能な電子デバイスを構成することが困難であった。

<発明の目的>

本発明は、上記従来の化合物半導体装置の欠点を除去し、高品質で安定した能動層を異種材料からなる支持基板上に形成してなる化合物半導体装置を提供する。

本発明は、異種材料からなる支持基板と該支持

る鏡面を呈し、光学顕微鏡観察によっても表面は滑らかな状態であり、X線回折から(100)方位を優勢に有する結晶であることが確認された。

次に、上記Ge中間層2の表面にフォトリソでマスクを形成し、一辺が $2000\text{\AA} \sim 1\mu$ 、深さが数百 \AA の段差3を多数エッチングにより形成する。段差3を形成した基板構造の断面図を第3図に示し、外観図を第4図に示す。ここで上記中間層2に形成する段差3は、中間層2を貫通してSi単結晶基板1に達する孔状、或いは中間層2内に留まる凹状いずれの状態に作成しても適用することができる。

Si単結晶基板1上の上記段差3が形成されたGe中間層2上に、GaAs結晶層4が、半導体薄膜の成長技術として急速に進歩しているMOCVD法により形成される。断面図を第5図に示す。上記GaAs結晶層4の成長は、0.5% HClガスを含む水素流を $2000\text{cc}/\text{分}$ で1~2分流して基板表面を軽くエッチングした後、トリメチルガリウム($\text{Ga}(\text{CH}_3)_3$)、アルシン(AsH_3 5% H_2 希

基板の上に堆積した化合物半導体層との間に中間層を介在させ、該中間層の化合物半導体層との接合面に段差を形成してなる化合物半導体装置である。
<実施例>

以下Si単結晶基板を支持基板としGaAs半導体層を能動層とする半導体装置を挙げて、図面を用いて本発明を詳細に説明する。

第1図乃至第5図は本発明の一実施例における主な工程を示したものである。

第1図はSi単結晶基板1を示す。本実施例ではSi単結晶基板1の面方位は(100)を用いたが、(111)(110)等やこの他の面方位のものも同様に使用できる。上記Si単結晶基板1の表面上にクラスティオンビームエピタキシ法により、第2図に示す如くGe中間層2を成長させる。クラスティオンビームエピタキシは、真空度 $10^{-6} \sim 10^{-7}\text{Torr}$ 、基板温度 $350 \sim 550^{\circ}\text{C}$ 、加速電圧 $0.5 \sim 4\text{KeV}$ の条件で行ない、Ge中間層2は膜厚を数百 $\text{\AA} \sim 5000\text{\AA}$ に形成する。このようにして得られたGe中間層2は表面が金属光沢を有す

釈)を原料とし、ガス供給量をトリメチルガリウム $1.5\text{cc}/\text{分}$ 、アルシン $30\text{cc}/\text{分}$ 、水素 $3000\text{cc}/\text{分}$ として行なった。このときGe中間層2が形成されたSi単結晶基板1は温度 750°C に保持され、30分間の成長によって厚さ約 $9\mu\text{m}$ のGaAs結晶層4が形成された。得られたGaAs結晶層4は金属光沢を有する鏡面の表面を有し、光学顕微鏡観察によっても表面は滑らかで光学的には欠陥のない結晶であった。さらにX線回折により調べたところ、GaAs結晶層4の表面が(100)に配向した単結晶となっていることを確認した。

上記GaAs結晶層4が欠陥の少ない単結晶として形成できた理由として考えられるのは、Si単結晶基板1上のGe中間層2の表面に上述の如く段差3を多数形成し、格子不整や熱膨張係数の差により発生した格子欠陥や歪を段差部分で緩和したことによると考えられる。

さらに本発明の効果をみるため上述の実施例による化合物半導体を用いて第6図に示す太陽電池を作製した。

面方位(100)のn型Si単結晶基板1上に、Ge中間層2及びn型GaAs結晶層4₁を形成する。このときそれぞれホスフィン(PH₃)、セレン化水素(H₂Se)をn型ドーパントとして用いた。次に、n型GaAs結晶層4₁上にMOCVD法によりp型GaAs結晶層4₂を0.3~0.4μm、p型GaAlAs結晶層4₃を0.08~0.1μmに順次形成した後電極5を形成し、太陽電池を作成した。図6はSi単結晶基板1の他方の面に形成された電極である。上記p型GaAs結晶層4₂、p型GaAlAs結晶層4₃のp型ドーパントとしてはジエチルジンク(n(C₂H₅)₂Zn)を用いた。このようにしてSi単結晶基板上に作成したGaAs太陽電池の特性は、従来のGaAs単結晶基板上に作成したGaAs太陽電池と比較して同程度であった。一方、能動素子層を支持する基板はSiが用いられているため、太陽電池としての重量は従来のGaAs太陽電池に比べて軽量化された。

<効果>

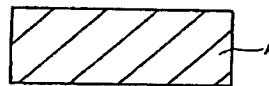
以上本発明によれば、異種材料の基板を利用し

て化合物半導体装置を製造する方法において、異種材料の基板と化合物半導体層間に介在させる中間層に、多数の分散した段差を予め形成して化合物半導体層を成長させることにより、異種材料基板と化合物半導体層との格子不整及び熱膨張係数差による格子欠陥や歪を緩和することができ、従来の化合物半導体装置に異種材料基板を用いることの困難を解決して、高性能、多機能な電子デバイスの製造を容易にすることができる。また化合物半導体層と基板との間に安定した堆積状態が得られ、半導体装置の耐久性及び信頼性を高め、歩留りの向上を図ることができる。

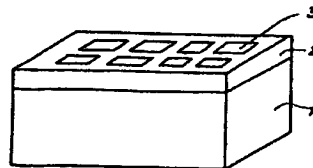
4. 図面の簡単な説明

第1図乃至第3図及び第5図は、本発明の一例実施例における主な工程を説明するための断面図、第4図は第3図における平面図である。

- 1 シリコン単結晶基板
- 2 ゲルマニウム中間層
- 3 段差
- 4 GaAs結晶層



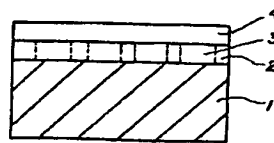
第1図



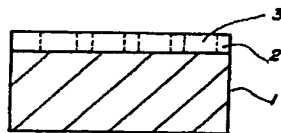
第4図



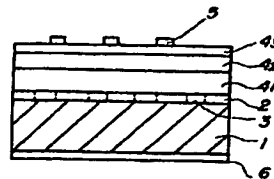
第2図



第5図



第3図



第6図